

「演算加速機構を持つ将来のHPCIシステムに関する調査研究」状況報告

主管事業実施機関：筑波大学計算科学研究センター

共同事業参画機関：東京工業大学，理化学研究所，
会津大学，日立製作所

協力機関：東京大学，広島大学，
高エネルギー加速器研究機構

「演算加速機構を持つ将来のHPCIシステムに関する調査研究」

- ナノテクやライフサイエンスの進歩、気候気象予測や地震・防災への対処には計算科学は不可欠かつ有効な手段
 - そのためにはさらなる計算能力が要請されている。
 - 設置面積、消費電力等の制限からノード数の増加による並列システムの性能向上には限界
- ライフサイエンスの分子シミュレーション等、多様な分野で比較的小さい一定サイズの問題の高速化が望まれている(いわゆる強スケーリング)
 - 対応した研究開発の例: ANTON, MDGRAPE-4



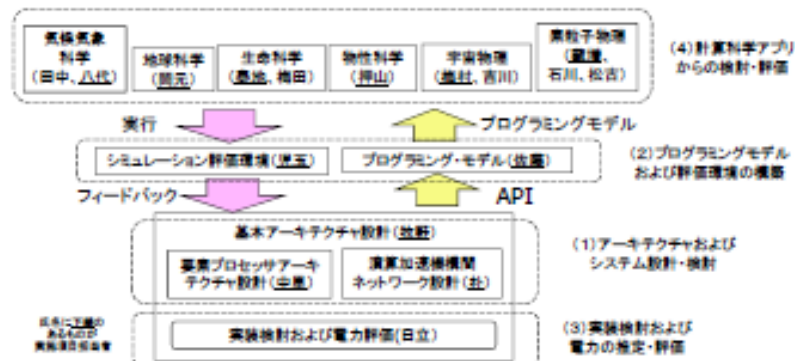
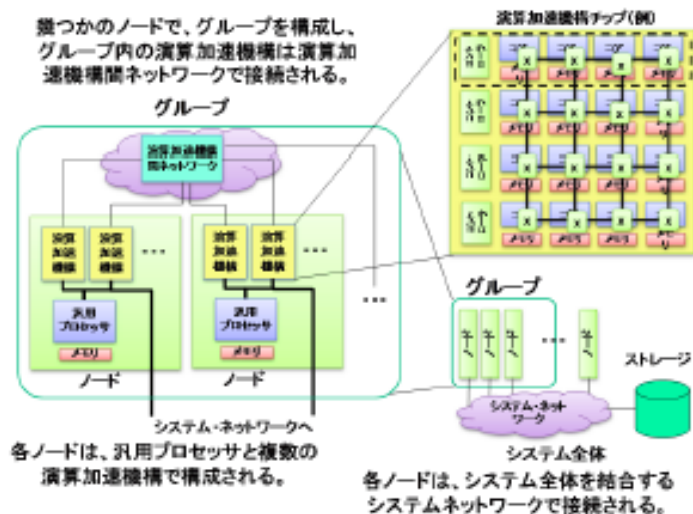
電力効率の大幅な効率化と強スケーリング問題の高速化による新たな計算科学の展開を目指して、演算加速機構による並列大規模システムについて調査研究を行う。

平成23年度文部科学省アプリケーション&コンピュータアーキテクチャ・コンパイラ・システムソフトウェア合同作業部会において、まとめられた「今後のHPCI技術開発に関する報告書」の中で、分類されたシステム構成のうち「メモリ容量削減」および「演算重視」のシステムを主な調査研究の対象とする。

- 主管事業実施機関: 筑波大学 計算科学研究センター
- 共同事業参画機関: 東京工業大学、理化学研究所、会津大学、日立製作所
- 協力機関: 東京大学、広島大学、高エネルギー加速器研究機構
- 調査研究を、以下の4つの項目に分けて実施
 - (1)アーキテクチャおよびシステムの設計・検討
 - (2)プログラミング・モデルおよび評価環境の構築
 - (3)実装検討および電力の推定・評価
 - (4)計算科学アプリからの検討・評価

多数の演算コアを内蔵したチップによる演算加速機構が汎用プロセッサで構成された並列システムの各ノードに接続もしくは内蔵されているヘテロジニアスな並列システムを想定

演算加速機構は、多数のスループットコアにより構成。スループットコアは、チップ内ネットワークにより結合される。図に示したものは一つの例。



計算科学アプリからの検討・評価(1/2)

- 本調査研究の対象とする演算加速機構アーキテクチャに想定されるアプリケーションとして、以下の2つが考えられる。
 - 行列積に代表されるように演算密度が高い計算、もしくは特定の演算の頻度が高い部分があり、その部分を特定の演算加速機構にオフロードすることによって高い効果が見込めるもの(これは、「演算重視」のシステム).
 - 演算あたりのメモリアクセス要求が高く、オンチップメモリや特定のメモリアーキテクチャの改善によって、高い効果が認められるもの(これは、「メモリ容量削減」のシステム).
- ⇒ ステンシル計算

計算科学アプリからの検討・評価(2/2)

- 今年度は以下の4つのアプリとカーネルをターゲットとしてアーキテクチャとのco-designを進めている。
 - QCD(素粒子分野)
 - 粒子系コード N-body(宇宙物理分野)
 - 輻射流体コード(宇宙物理分野)
 - 地震コードFDM(地球物理)
 - カーネル 行列積, FFT等
- さらに, 来年度は以下のコードでの評価を実施
 - NICAM(気象)
 - RS-DFT(物性)
 - FMO(化学)

プログラミングモデル

- プログラミング環境としては,
 - アセンブラレベルのプログラミングをするためのCのsubsetのような言語
 - ユーザに提供するための言語として, XcalableMPのsubset?をサポート (下記)
- ホストからチップにオフロードするために, OpenACCを用いる.
- Chipの中のプログラミングに, XcalableMPのtemplateを使う.
- ループのプロセッサと配列を整合させることで, PEあたりのコードを生成することができる.
- データを積層メモリに置く場合は, 仮想プロセッサという形でマッピング?
- Chip間は従来のXMPのdirectiveで(XMP-dev)
- ソフトウェア開発用シミュレータを準備している.

H24 スケジュール

